

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年10月30日

出 願 番 号
Application Number:

特願2000-331080

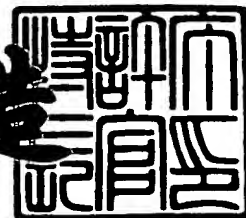
出 願 人
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3084397

【書類名】 特許願

【整理番号】 00000637

【提出日】 平成12年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

【氏名】 石井 和敏

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

【氏名】 小山内 潤

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 服部 純一

【代理人】

【識別番号】 100096286

【弁理士】

【氏名又は名称】 林 敬之助

【先の出願に基づく優先権主張】

【出願番号】 特願2000-265495

【出願日】 平成12年 9月 1日

【整理番号】 00000511

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003012

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】

第 1 導電型半導体基板表面付近にゲート絶縁膜を介して第 1 導電型多結晶シリコンゲートとタングステンシリサイドと酸化膜を順に形成する第 1 の工程と、

前記第 1 導電型多結晶シリコンゲートとタングステンシリサイドと酸化膜を同一マスクでパターンニングしゲート電極を形成し、前記ゲート電極をマスクに自己整合的に第 2 導電型不純物を導入し低濃度の第 2 導電型不純物領域を形成する第 2 の工程と、

前記ゲート電極と間隔を空けて第 2 導電型不純物を導入し高濃度の第 2 導電型不純物領域を形成する第 3 の工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 2】

第 1 導電型半導体基板表面付近に形成された第 2 導電型ウェル領域内にゲート絶縁膜を介して第 1 導電型多結晶シリコンゲートとタングステンシリサイドと酸化膜を順に形成する第 1 の工程と、

前記第 1 導電型多結晶シリコンゲートとタングステンシリサイドと酸化膜を同一マスクでパターンニングしゲート電極を形成し、前記ゲート電極をマスクに自己整合的に第 1 導電型の不純物を導入し低濃度の第 2 導電型不純物領域を形成する第 2 の工程と、

前記ゲート電極と間隔を空けて P 型不純物を導入し高濃度の P 型不純物領域を形成する第 3 の工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 3】

請求項 1 記載の絶縁ゲート型半導体装置の製造方法の第 2 の工程において、第 2 導電型低濃度不純物領域を形成した後に、前記第 2 導電型低濃度不純物領域の下側に第 1 導電型不純物を導入しポケット領域を形成する工程を有することを特徴とする請求項 1 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 4】

請求項 2 記載の絶縁ゲート型半導体装置の製造方法の第 2 の工程において、第 1 導電型低濃度不純物領域を形成した後に、前記第 1 導電型低濃度不純物領域の下側に N 型不純物を導入しポケット領域を形成する工程を有することを特徴とする請求項 2 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 5】

請求項 1 および請求項 3 記載の絶縁ゲート型半導体装置の製造方法において、前記第 2 導電型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、前記ポケット領域濃度を $1 \times 10^{17} / \text{cm}^3$ 程度で形成する工程を有することを特徴とする請求項 1 または請求項 3 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 6】

請求項 2 または請求項 4 記載の絶縁ゲート型半導体装置の製造方法において、前記第 1 導電型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、前記ポケット領域濃度を $1 \times 10^{17} / \text{cm}^3$ 程度で形成する工程を有することを特徴とする請求項 2 または請求項 4 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 7】

出力電圧を所望の一定電圧に制御する半導体集積回路装置（ボルテージレギュレータ）を構成する MOS 型 FET において、表面チャネル型 P 型 MOS FET と埋め込みチャネル型 N 型 MOS FET とを有することを特徴とする半導体装置。

【請求項 8】

請求項 7 記載の前記 P 型 MOS FET と前記 N 型 MOS FET において、P 型ポリシリコンをゲート電極に有することを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

請求項 1 または請求項 3 記載の絶縁ゲート型半導体装置の製造方法において、前記第 2 導電型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、前記ポケット領域濃度を前記第 2 導電型低濃度不純物領域濃度の $1 / 10$ 程度の不純物濃度で形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法

【請求項 1 0】

請求項 2 または請求項 4 記載の絶縁ゲート型半導体装置の製造方法において、前記第 1 導電型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、前記ポケット領域濃度を前記第 1 導電型濃度不純物領域濃度の略 $1 / 10$ の不純物濃度で形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の利用分野】

本発明は MOS 構造の電界効果型半導体装置とその製造方法に関する。

【0 0 0 2】

【発明の属する技術分野】

本発明は携帯機器等の電源電圧管理用に用いられるボルテージレギュレータ、スイッチングレギュレータ、ボルテージデテクター等の半導体集積回路を構成する半導体装置とその製造方法に関する。

【0 0 0 3】

【従来の技術】

従来から、半導体素子の高駆動化、低消費電力化、低寄生容量化に関して、多くの研究開発が進められている。MOSFET の高駆動化は、ゲート電極の幅を小さくすることとソース、ドレイン寄生抵抗を小さくすることによっておこなわれる。ゲート電極の幅が小さくなるということは、その下のチャネル領域の長さ、すなわち、チャネル長が小さくなるということであり、このことは、チャネル領域をキャリアが通過するに要する時間を小さくすることとなり、結果的には高駆動化がもたらされる。しかしながら、そのことによって、別な問題（短チャネル効果）も生じる。その中で最も重要なものはリーク電流の問題である。

【0 0 0 4】

従来のような、十分に不純物濃度の大きなソースおよびドレインという不純物領域に、極性が反対の不純物がドーピングされたチャネル領域がはさまれた構造では、チャネル領域を縮小するにしたがって、ソースとドレインに印加される電圧に

よってチャネル領域と不純物領域の境界付近の電界が大きくなる。その結果、MOSFETの動作は極めて不安定になる。

【0005】

そのような問題点を解決する目的で提唱された、従来の技術としてのMOSFETの構造が、スペーサーを用いたLDD (Lightly-Doped-Drain)という構造である。これは、典型的構造は図2 (D) に示される。図2 (D) において、不純物濃度の高い領域3よりも浅く設けられた不純物濃度の低い領域13がLDDと呼ばれる。このような領域を設けることによって、チャネル領域と不純物領域の境界近傍の電界を小さくし、素子の動作を安定化させることが可能となった。LDDは、通常、図2のように形成される。図2は、NMOSの例を示したがPMOSであっても同様に形成される。最初に、P型の半導体基板1上に酸化膜と導電性膜が形成され、これらはエッチングされて、図2 (A) に示すようにゲート絶縁膜2とゲート電極4となる。そして、このゲート電極4をマスクとして、自己整合（セルフアライン）的に、例えば、イオン打ち込み法等によって、比較的不純物濃度の低い（記号ではN- と表される）領域13が形成される場合もある。

【0006】

ここで、ゲート電極4をマスクとして自己整合（セルフアライン）的に、不純物濃度の低い領域13と反対導電型イオンをイオン打ち込み法等によって、不純物濃度の低い領域13の下側に、不純物濃度の低いポケットインプラ領域23が形成される。

【0007】

次いで、この上にNSGやPSGのような絶縁膜5が形成される。そして、この絶縁膜5は、バイアスプラズマエッチのような異方性エッチング法によって、除去されるが、異方性エッチングの結果、ゲート電極の側面では絶縁膜5がエッチングされないで、図2 (C) に示すような形状で残る。この残留物をスペーサー6と称する。そして、このスペーサー6をマスクとして、セルフアライン的に不純物濃度の高い（記号ではN+ と表される）領域3が形成される。そして、このN+ 型不純物領域がMOSFETのソース、ドレインとして用いられる。

【0008】

また、こうしたLDD構造以外にも、マスクを用いたオフセット型LDD構造が知られている。この従来の技術について以下に記載する。この従来の技術では単結晶半導体基板上に形成した相補型MOSFET装置（CMOS）に用いた場合を示す。まず、図3（A）に示すように、P型半導体基板1上に、従来の集積回路作製方法を使用して、N型ウェル7、フィールド絶縁物8、N-型不純物領域11、N+型不純物領域12、P+型不純物領域14、P-型不純物領域15、ポケット領域（NMOS用）24と同25（PMOS用）とリンがドーブされたN型多結晶シリコンのゲート電極16（NMOS用）と同17（PMOS用）を形成する。

【0009】

その詳細な作製方法は以下の通りである。まず、不純物濃度が $1\text{E}15/\text{cm}^3$ 程度のP型シリコンウェハーに BF_2^+ イオンを打ち込み、いわゆるLOCOS法によって、チャンネルストッパー10とフィールド絶縁物8を形成する。さらにこれに、リンイオンを注入し、 1000°C で3～10時間アニールして、リンイオンを拡散、再分布させ、不純物濃度 $1\text{E}16\text{cm}^{-3}$ 程度のN型ウェル7を形成する。

【0010】

その後、熱酸化法によって、厚さ $20\sim100\text{nm}$ のゲート絶縁膜（酸化珪素）と、減圧CVD法によって、厚さ 500nm 、リン濃度 $1\text{E}21\text{cm}^{-3}$ の多結晶シリコン膜を形成し、これをパターニングして、ゲート電極となるべき部分16および17を形成し、熱酸化等によりゲート電極となるべき部分16および17の上方部側壁部に酸化膜33を形成する。

【0011】

そして、ゲート電極となるべき部分および必要によっては他のマスクを用いて、イオン注入法により、不純物濃度 $1\text{E}18\text{cm}^{-3}$ のN-型不純物領域11と必要に応じて不純物濃度 $1\text{E}17\text{cm}^{-3}$ 程度のポケット領域24を形成し、さらに不純物濃度 $1\text{E}18\text{cm}^{-3}$ のP-型不純物領域14と必要に応じて不純物濃度 $1\text{E}17\text{cm}^{-3}$ 程度のポケット領域25を作製する。このようにして図3（A）

を得る。

【 0 0 1 2 】

次いで、図 3 (C) のようにレジストマスク 3 4 を用いて再びイオン注入法によって、N + 型の不純物領域 1 2 とレジストマスク 3 5 を用いて P + 型の不純物領域 1 4 をゲート電極となるべき部分 1 6 および 1 7 と間隔を空けて形成する。いずれの不純物領域も不純物濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 程度とする。

【 0 0 1 3 】

ここで N + 型の不純物領域 1 2 および P + 型の不純物領域 1 4 とゲート電極となるべき部分 1 6 および 1 7 との間隔は、前出のスペーサーを用いた LDD 構造の場合とは異なり、広く設定できる。このためドレイン印可電圧 7 V の場合は 0.5 ~ 1.0 μm 程度、10 V の場合は 0.7 ~ 2.0 μm 程度、36 V の場合は 2.0 ~ 5.0 μm 程度に設定されていた。

【 0 0 1 4 】

最後に、一般の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層 2 0 を形成する。リンガラス層 2 0 の形成には、例えば、減圧 CVD 法を用いればよい。材料ガスとしては、モノシラン SiH_4 と酸素 O_2 とホスフィン PH_3 を用い、450℃ で反応させて得られる。

【 0 0 1 5 】

その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極 2 1 を形成する。こうして、図 3 (C) に示されるような相補型 MOS 装置が完成する。

【 0 0 1 6 】

【発明が解決しようとする課題】

しかしながら、従来のスペーサーを用いた LDD 構造の問題点はゲート長を小さくすることによるリーク電流の増加の問題である。特に電源電圧制御用集積回路の場合、P 型 MOSFET においてその傾向が顕著である。

【 0 0 1 7 】

短チャネル化によって、動作速度を向上させたとしても、リーク電流が大きければ、短チャネル化の効果は無意味となってしまう。リーク電流を低減させるには、ポケットインプラやパンチスルー防止用インプラ等の不純物注入技術を用い

てドレインーチャネル領域間の空乏層の広がり抑制する方法が良く採用されているが、それとて、電源電圧が大きいと（10 V以上）、P型MOSFETの場合、ゲート電極の長さが2.0 μm 程度以下となる状況では限界となることが予想される。

【0018】

また従来のレジストマスクを用いたオフセット型LDD構造の場合も問題点はゲート長を小さくすることによるリーク電流の増加の問題である。特に電源電圧制御用集積回路の場合、P型MOSFETにおいてその傾向が顕著である。

【0019】

短チャネル化によって、動作速度を向上させたとしても、リーク電流が大きく、ゲート電極の抵抗が大きければ、短チャネル化の効果は無意味となってしまう。リーク電流を低減させるには、ポケットインプラやパンチスルー防止用インプラ等の不純物注入技術を用いてドレインーチャネル領域間の空乏層の広がり抑制する方法が良く採用されているが、それとて、電源電圧が大きいと（10 V以上）、P型MOSFETの場合、ゲート電極の長さが1.0 μm 程度以下となる状況では限界となることが予想される。

【0020】

つまり従来ゲート電極として用いられてきたN型ポリシリコンは、P型MOSFETの場合、N型ウェルとの仕事関数の差のため、しきい値電圧が負方向に非常に大きく（約-1 V程度）、しきい値制御用の不純物注入を行わないと、インバータ回路等を構成する場合（CMOSを構成する場合）、N型MOSFETとのバランスが悪くなり、反転電圧が電源電圧の中心から大きくずれ、回路動作のマージンが著しく低くなる。また、しきい値電圧値が大きいため、N型MOSFETとP型MOSFETのしきい値の絶対値の和より大きな値が必要となる電源電圧を低電圧化することが困難となる。このため、一般的にしきい値制御用の不純物注入でしきい値電圧の低減化を行っている。しかし、チャネル領域の不純物濃度を低下させる方向のしきい値制御用の不純物注入を行うと、MOSFETのチャネルはチャネル領域表面より基板内部に少し埋め込まれた領域に形成され（埋め込みチャネル型）、チャネル領域表面領域にチャネルが形成される表面チャ

ネル型に比べ、短チャネル効果が劣化し、短チャネル化が困難であった。

【 0 0 2 1 】

【課題を解決するための手段】

そこで本発明は、上記課題を解決するために以下の手段を用いた。

第 1 導電型半導体基板表面付近にゲート絶縁膜を介して第 1 導電型多結晶シリコンゲートを形成する第 1 の工程と、第 1 導電型多結晶シリコンゲートをマスクに自己整合的に第 2 導電型不純物を導入し低濃度第 2 導電型不純物領域を形成する第 2 の工程と、第 1 導電型多結晶シリコンゲートと第 1 導電型半導体基板表面付近に熱酸化法等を用いて酸化膜を形成する第 3 の工程と、ホトレジストをマスクに第 2 導電型不純物を導入し高濃度第 2 導電型不純物領域をゲート電極と間隔を空けて形成する第 4 の工程とを用いた。

【 0 0 2 2 】

また、第 1 導電型半導体基板表面付近に第 2 導電型ウェル領域を形成し、第 2 導電型ウェル領域表面付近にゲート絶縁膜を介して第 1 導電型多結晶シリコンゲートを形成する第 1 の工程と、第 1 導電型多結晶シリコンゲートをマスクに自己整合的に第 1 導電型不純物を導入し低濃度第 1 導電型不純物領域を形成する第 2 の工程と、

第 1 導電型多結晶シリコンゲートと第 2 導電型ウェル領域表面付近に熱酸化法等を用いて酸化膜を形成する第 3 の工程と、

ホトレジストをマスクに第 2 導電型不純物を導入し高濃度第 2 導電型不純物領域をゲート電極と間隔を空けて形成する第 4 の工程とを用いた。

【 0 0 2 3 】

さらに、第 2 導電型低濃度不純物領域を形成した後に、第 2 導電型低濃度不純物領域の下側に第 1 導電型不純物を導入しポケット領域を形成する工程を用いた。

【 0 0 2 4 】

さらに、第 1 導電型低濃度不純物領域を形成した後に、第 1 導電型低濃度不純物領域の下側に第 2 導電型不純物を導入しポケット領域を形成する工程を用いた。

【0025】

また、第2導電型低濃度不純物領域濃度を $1 \text{ E } 18 / \text{cm}^3$ 程度で形成し、ポケット領域濃度を $1 \text{ E } 17 / \text{cm}^3$ 程度で形成した。

【0026】

第1導電型低濃度不純物領域濃度を $1 \text{ E } 18 / \text{cm}^3$ 程度で形成し、ポケット領域濃度を $1 \text{ E } 17 / \text{cm}^3$ 程度で形成した。

【0027】

【発明の実施の形態】

ここまで説明してきたように、本発明では、P型MOSFETがN型MOSFETに比べて比較的多く使用される半導体集積回路装置において、チャネル長の短チャネル化が容易となるよう、P型MOSFETを表面チャネル型のMOSFETで構成し、その駆動能力の向上と小型化を促進させたものである。

【0028】

また、短チャネル化に不向きな埋め込みチャネルをN型MOSFETに適用することはN型MOSFETに関してのみ言えば不利益なものではあるが、従来の埋め込みチャネルP型MOSFETとのパフォーマンスの比較においては、従来より著しく向上させることができる。これはN型とP型が同一のチャネル長で有ったとしても、N型MOSFETのキャリアである電子の方がP型MOSFETのキャリアであるホールより移動度が大きい事による。

【0029】

図7、図8に表面チャネル型NMOSトランジスタ (NMOS Tr.) の断面概略図と埋め込みチャネル型NMOSトランジスタ (NMOS Tr.) の断面概略図を記した。N+ソース42とゲート電極46とPwell45に接地電位、N+ドレイン43にプラス電圧が印可されると、表面チャネルの場合と埋め込みチャネルの場合で、ON時チャネルとなる領域46の空乏層44の形状が異なる。表面チャネルと埋め込みチャネルのトランジスタが、同一のPwell濃度、同一のしきい値電圧に設定された場合でも、N+ソース42とN+ドレイン43との空乏層スペースは、埋め込みチャネルの場合のほうが小さくなり、ドレイン、ソース間のリーク電流が大きくなる。

【 0 0 3 0 】

また、N型MOSFETの最小チャネル長を決定する際、必ずしも短チャネル効果で決まらない場合がある。それは、N型MOSFETの基板電流によるバイポーラ動作（スナップバック現象）が生じてしまう場合である。これは、短チャネル化に伴いドレイン電流、ドレイン電界が増加しホットキャリアの発生が増進されるためである。一方、P型MOSFETはホットキャリアの発生がN型に比べて著しく少ないため、スナップバック現象でチャネル長が決定されることはほとんどない。つまり、本発明のようなアプリケーションの場合、一般的な微細化の常識とは反対で、N型MOSFETよりもむしろ、P型MOSFETの方がより短チャネル化が容易である。そうしたことから、本発明のP型MOSFETを表面チャネルで構成しN型MOSFETを埋め込みチャネルで構成したことはたいへん効果的である。

【 0 0 3 1 】

さらに、N型MOSFETのホットキャリア劣化は、表面チャネルよりもむしろ埋め込みチャネルの場合の方が少ない。

【 0 0 3 2 】

図9(A)、(B)に表面チャネル型Nチャネルトランジスタ（NMOS Tr.）と埋め込みチャネル型Nチャネルトランジスタ（NMOS Tr.）のホットキャリア発生について示した。図9(A)の表面チャネルの場合、ホットキャリア発生領域46はPwell45表面付近に形成されるが、図9(B)の埋め込みチャネルの場合、ホットキャリア発生領域46はPwell45表面付近より深い領域に形成される。このため、ホットキャリアがトラップされトランジスタ特性劣化をもたらすPwell45近傍のゲート酸化膜51と、チャネル領域47との距離が遠ざかり、トランジスタ特性の劣化が少なくなる。

【 0 0 3 3 】

また、N型MOSFETの短チャネル化の限界が、リーク電流で決定されない場合、スナップバック現象による短チャネル化の限界をブレークスルーできる要因となる。

【 0 0 3 4 】

スナップバック現象とは、図6に示したように、N+ドレイン43、ゲート電極46、N+ソース42、Pwell45に所望の電源電圧が印可され、ピンチオフ点44が形成された状態のとき、ピンチオフ点44とN+ドレイン43の間に生じる空乏層44中で発生するホール電流49と基板抵抗50とにより、空乏層44のピンチオフ点44近傍のPwell45電位が上昇して、N+ドレイン43、N+ソース42、Pwell45間で寄生バイポーラトランジスタが動作することである。

【0035】

図4(A)にチャネル長の短いN型トランジスタ (Nch Tr.) のドレイン電流(ID)-ドレイン電圧(VD)特性を、図4(B)にチャネル長の長いN型トランジスタ (Nch Tr.) のドレイン電流(ID)-ドレイン電圧(VD)特性を示した。Nch Tr.のスナップバック現象による短チャネル化の限界は、図中にVD max.で示した許容ドレイン電圧の限界値が、トランジスタに印可される電源電圧値を上回ることが制約条件としてLmin.①が決定される(図4 (C))。

【0036】

ここで、N型MOSFETの短チャネル化の限界がリーク電流で決定されない場合とは、図5にドレインリーク電流(Log ID)とチャネル長の関係を示した。許容リーク電流値となるLmin.②で示したチャネル長よりも図4(C)で示したLmin.①が大きくなる場合である。

【0037】

こうしたことから、N型MOSFETの埋め込みチャネル化は、短チャネル化をも推進できる。

【0038】

また、本発明の製造方法においては、P型ポリシリコンをマスクにN型不純物を注入する際、P型ポリシリコンの濃度低下による、抵抗の増大、ゲート電極の空乏化が懸念される。この課題を解決するため、P型ポリシリコン上に金属シリサイド膜を形成し、さらに金属シリサイド膜上に酸化膜を形成し、これらP型ポリシリコン、金属シリサイド膜、酸化膜を同一マスクでエッチングし、酸化膜を所望の工程まで残しておく方法を用いた。この方法は、P型ポリシリコンをマス

クにN型不純物を注入する際にP型ポリシリコンにN型不純物が注入されないようにすることを可能とすることができる。

【0039】

以下に、この発明の実施例を図面に基づいて説明する。

【0040】

この実施例では単結晶半導体基板上に形成した相補型MOSFET装置(CMOS)に本発明を用いた場合を示す。本実施例の製造方法を図1に示す。まず、図1(A)から(E)に示すように、P型半導体基板1上に、従来の集積回路作製方法を使用して、N型ウェル7、フィールド絶縁物8、N-型不純物領域11、N+型不純物領域12、P+型不純物領域14、P-型不純物領域15、ボロンがドーピングされたP型多結晶シリコンのゲート電極16(NMOS用)と同17(PMOS用)が設けられている。

【0041】

その詳細な作製方法は以下の通りである。P型半導体基板1表面付近にリンイオンを注入し、1000～1175℃で3～20時間アニールして、リンイオンを拡散、再分布させ、不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度のN型ウェル7を形成する。引き続き、窒化膜等でパターンニングされた領域にB+イオンを打ち込み、いわゆるLOCOS法によって、チャネルストッパーとフィールド絶縁物8を形成する。

【0042】

その後、所望のチャネル領域へのしきい値電圧制御用の砒素イオン注入と、熱酸化法による厚さ10～30nmのゲート絶縁膜(酸化珪素)形成と、減圧CVD法等による厚さ100～500nmのポリシリコン膜形成と、B+イオン打ち込みによるP型ポリシリコン膜28形成と、P型ポリシリコン膜28上へのスパッタ法等による厚さ100～200nm程度のタングステンシリサイド膜29の形成と、タングステンシリサイド膜29上への、減圧CVD法等による厚さ100～300nm程度の酸化膜30形成と、これらをパターンニングしてゲート電極となるべき部分16および17の形成をおこなう。そして、熱酸化法あるいは減圧CVD法等を用いてゲート電極16、17の上部、側壁部、半導体基板表面部

等に酸化膜 3 1 を 1 0 ～ 5 0 n m 程度形成する。

【 0 0 4 3 】

この後、図 1 0 に示したように、外部からのノイズ電荷から C M O S を守る保護用 N 型トランジスタのソースドレインとなる領域に不純物濃度 $1 E 2 1 c m^{-3}$ 程度の N + 型不純物領域を形成する。ここでの N 型ドーパントは拡散係数の大きいリンを用いる。

【 0 0 4 4 】

そして、再び、ゲート電極となるべき部分 1 6 および必要によっては他のマスクを用いて、不純物濃度 $1 E 1 8 c m^{-3}$ 程度の N - 型不純物領域 1 1 と不純物濃度 $1 E 1 7 c m^{-3}$ 程度のポケット領域 2 4 を形成し、さらに B + イオンを打ち込んで、不純物濃度 $1 E 1 8 c m^{-3}$ 程度の P - 型不純物領域 1 5 と不純物濃度 $1 E 1 7 c m^{-3}$ 程度のポケット領域 2 5 を作製する。このようにして図 1 (A) を得る。

【 0 0 4 5 】

ここで、ポケット領域 2 4 、 2 5 は、N 型トランジスタ、P 型トランジスタとも N - 型不純物領域 1 1 、 P - 型不純物領域 1 5 の各不純物濃度の $1 / 1 0$ 程度で形成した場合、そのリーク特性と駆動能力とのトレードオフの関係が最適値となる。これは、チャネル方向への空乏層の広がりとも N - 型不純物領域 1 1 、 P - 型不純物領域 1 5 の抵抗値との関係において、最適値が得られるためである。

【 0 0 4 6 】

次に、図 2 (A) から (C) に示すように、C V D 法等で酸化膜を 3 0 0 ～ 6 0 0 n m 程度形成した後、異方性エッチングを行うことによりゲート電極 1 6 、 1 7 の側壁に酸化膜スペーサー 3 2 を形成する。

【 0 0 4 7 】

次いで、再びイオン注入法によって、N + 型の不純物領域 1 2 と P + 型の不純物領域 1 4 を形成する。いずれの不純物領域も不純物濃度は $1 E 2 1 c m^{-3}$ 程度とする (図 1 (C)) 。

【 0 0 4 8 】

ここで、ゲート電極とスペーサーをマスクにイオン注入する場合と、レジスト

をマスクにイオン注入する場合とがある。図 1 (A) から (D) には、ゲート電極とスペーサーをマスクにイオン注入する場合を示したが、図 3 (A) から (C) には、レジストをマスクにイオン注入する場合を示した。

【 0 0 4 9 】

図 3 (A) から (C) に示した、レジストをマスクにイオン注入する場合は、図 1 (B) の酸化膜スペーサー 3 2 を形成せずに、レジストマスク 3 4、3 5 を用いて、N + 型の不純物領域 1 2 と P + 型の不純物領域 1 4 をイオン注入により形成する。

【 0 0 5 0 】

最後に、図 1、図 3 に示したように、従来の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層 2 0 を形成する。リンガラス層の形成には、例えば、減圧 CVD 法を用いればよい。材料ガスとしては、モノシラン SiH_4 と酸素 O_2 とホスフィン PH_3 を用い、4 5 0 °C で反応させて得られる。

【 0 0 5 1 】

その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極 2 1 を形成する。こうして、図 1 (D)、図 3 (C) に示されるような相補型 MOS 装置が完成する。

【 0 0 5 2 】

こうして得られた相補型 MOSFET 装置を構成する MOSFET は P 型ポリシリコンをゲート電極に用いているため、P 型 MOSFET のチャネルが表面チャネルで、N 型 MOSFET のチャネルが埋め込みチャネルで形成される。この表面チャネル P 型 MOSFET は従来の埋め込みチャネル P 型 MOSFET に比べて、そのトランジスタ特性の安定度や、信頼度、パフォーマンスに優れている。特にチャネル長を縮小する場合のソース、ドレイン間リーク電流を著しく低減でき、微細化を容易にした。

【 0 0 5 3 】

【発明の効果】

本発明によって、安定度、信頼度、パフォーマンスに優れた MOSFET を作製することが可能となった。特に本発明は、短チャネル化によって、今後進展す

ると考えられる超低電力化に対して有効な方法である。

【 0 0 5 4 】

また、ボルテージレギュレータ用半導体集積回路装置においては、P型MOS FETが占める面積比率が著しく大きい。このため、P型MOS FETが高駆動化、小型化することによる面積縮小に効果（コスト低減効果）は著しい。

【 0 0 5 5 】

本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうことは明白である。さらに、本発明では、ゲート電極の低抵抗化が重要な役割を果たすが、本発明で主として記述したシリコンゲート以外にも、P型MOS FETを表面チャネル化できる物質等をゲート電極として用いてもよい。また、実施例ではP型半導体基板上のMOS FETの作製工程について記述したが、石英やサファイヤ等の絶縁性基板上に形成された多結晶あるいは単結晶半導体被膜を利用した薄膜トランジスタ（TFT）の作製にも本発明が適用されうることにも明らかであろう。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の製造方法の製造工程順概略断面図である。

【図 2】

従来の半導体装置の製造方法の製造工程順概略断面図である。

【図 3】

従来の半導体装置の製造方法の製造工程順概略断面図である。

【図 4】

本発明の半導体装置の特性概略図である。

【図 5】

本発明の半導体装置の特性概略図である。

【図 6】

本発明の半導体装置の概略断面図である。

【図 7】

本発明の半導体装置の概略断面図である。

【図 8】

本発明の半導体装置の概略断面図である。

【図 9】

本発明の半導体装置の概略断面図である。

【図 1 0】

本発明の半導体装置の概略断面図である。

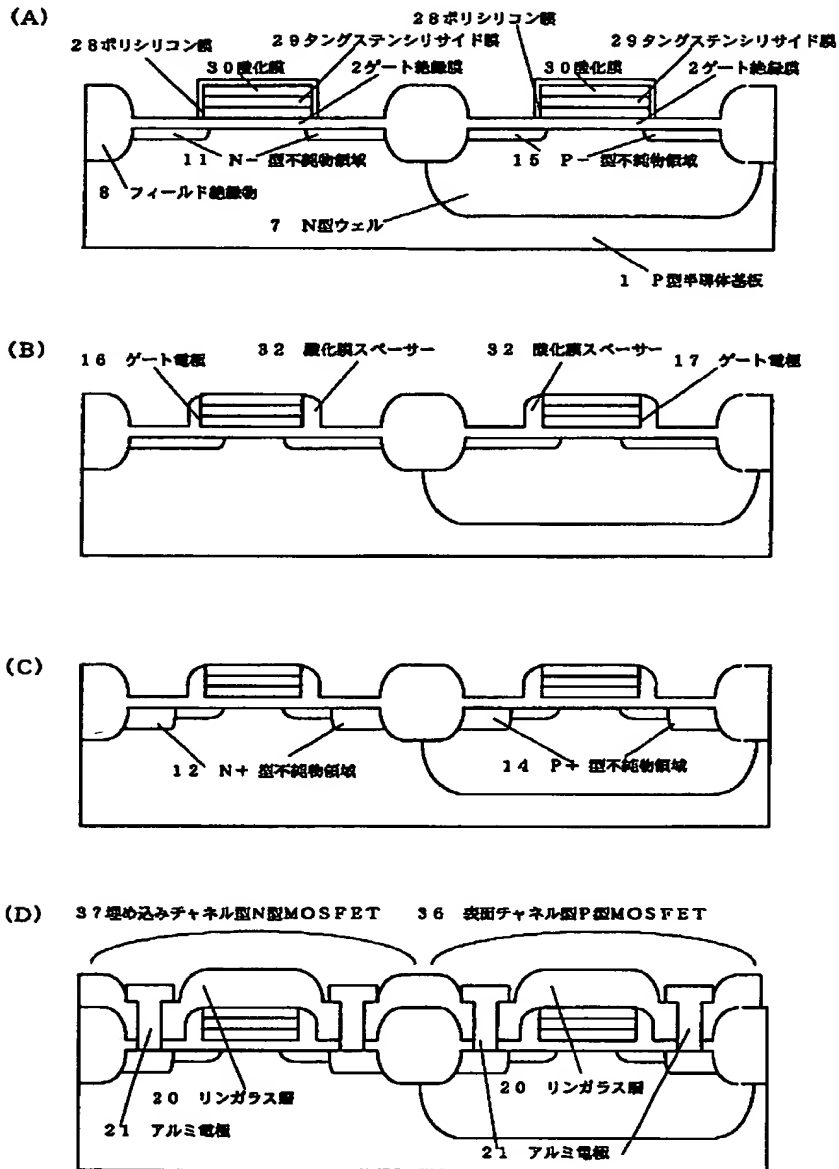
【符号の説明】

- 1 P型半導体基板
- 2 Pwell
- 3 Poly-Siゲート
- 4 ゲート酸化膜
- 5 フォトレジスト
- 6 N-領域
- 7 N型ウェル
- 8 フィールド絶縁物
- 9 空乏層
- 1 0 N+ドレイン
- 1 1 N+ソース
- 1 2 N+型不純物領域
- 1 3 不純物濃度の低い領域
- 1 4 P+型不純物領域
- 1 6 ゲート電極
- 1 7 ゲート電極
- 2 0 厚いゲート酸化膜
- 2 1 イオン注入領域
- 2 8 ポリシリコン膜
- 2 9 タングステンシリサイド膜
- 3 0 酸化膜

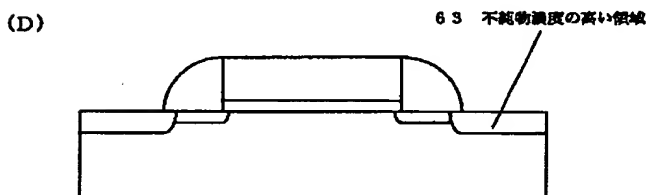
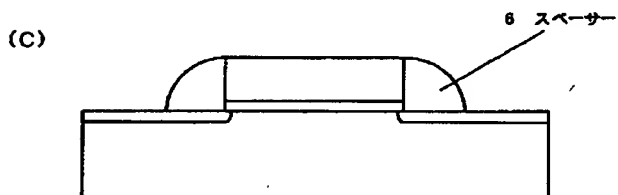
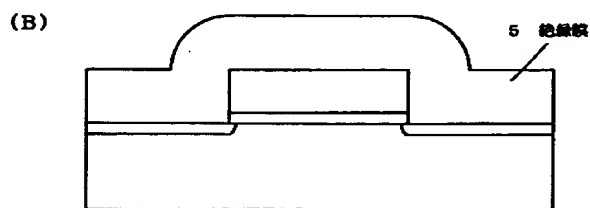
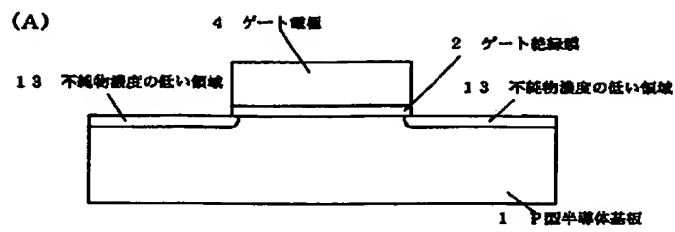
- 3 5 レジストマスク
- 4 2 N+ソース
- 4 3 N+ドレイン
- 4 4 Pwell
- 4 4 空乏層
- 4 4 ピンオフ点
- 4 5 Pwell
- 4 6 ホットキャリア発生領域
- 4 7 チャネル領域
- 4 8 静電保護素子用N+領域
- 4 9 ホール電流
- 5 0 基板抵抗
- 5 1 ゲート酸化膜
- 6 2 N-ドレイン
- 6 3 不純物濃度の高い領域
- 6 4 ゲート電極
- 6 5 ON時チャネルとなる領域

【書類名】 図面

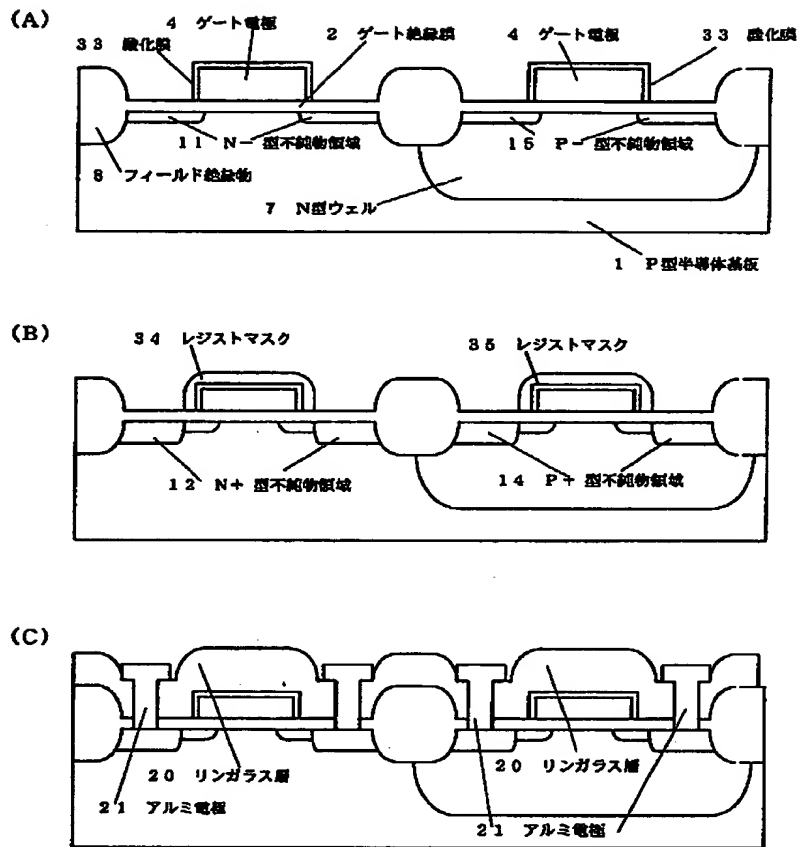
【図1】



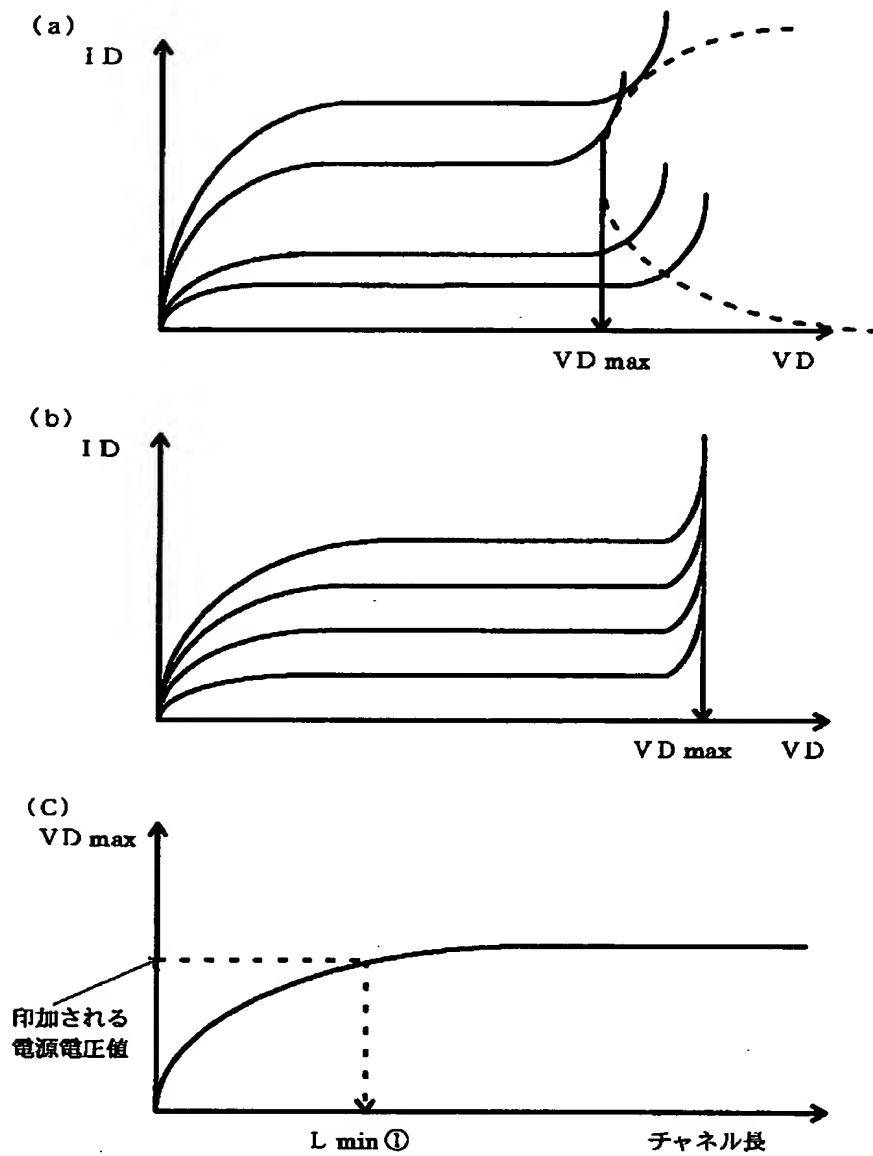
【図 2】



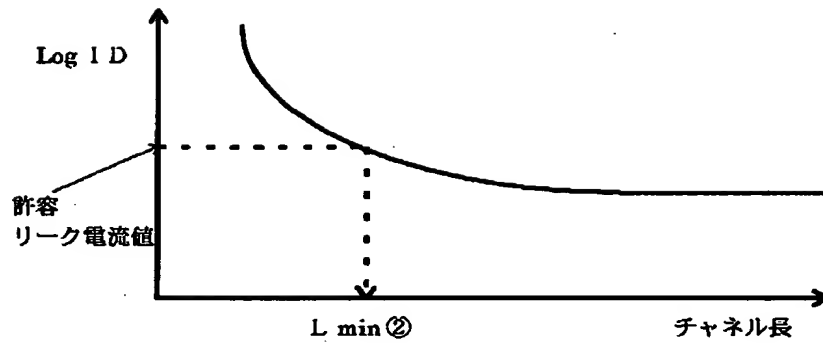
【図 3】



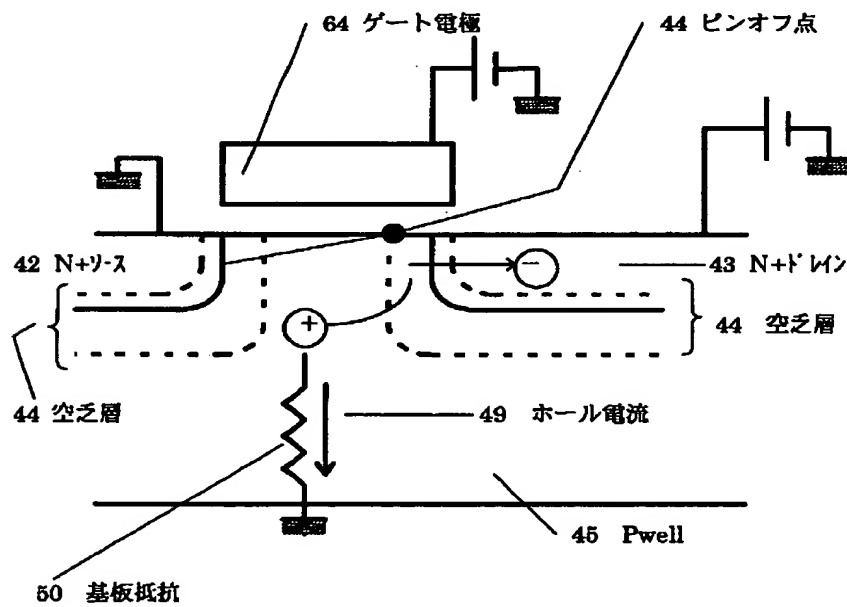
【図 4】



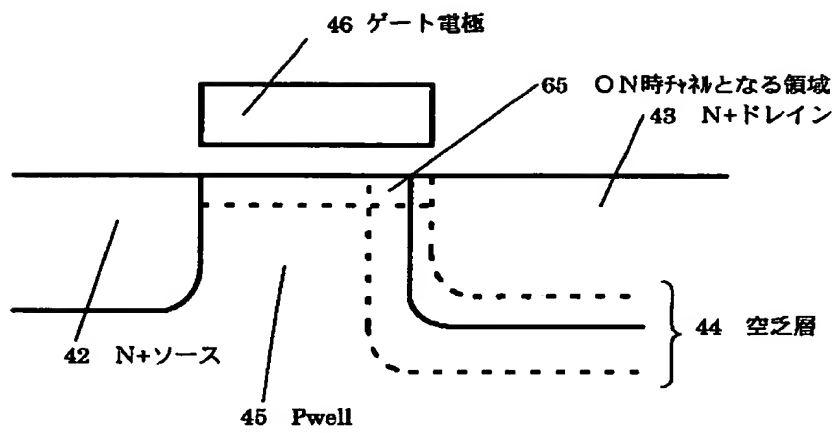
【図 5】



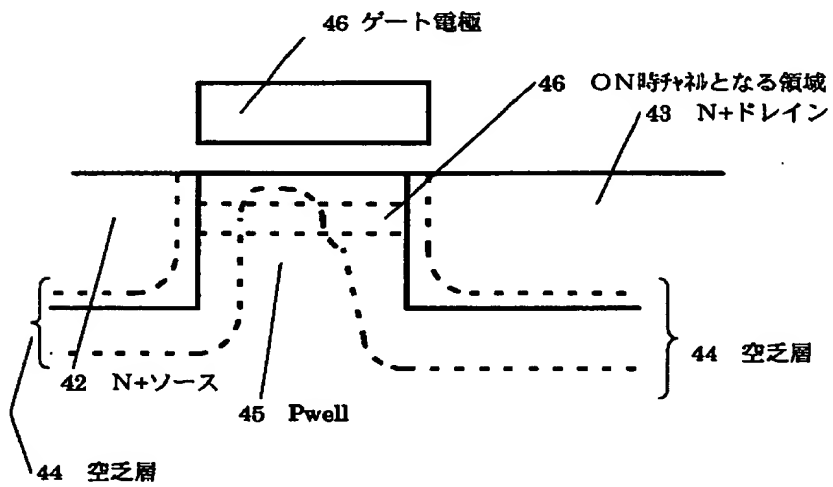
【図 6】



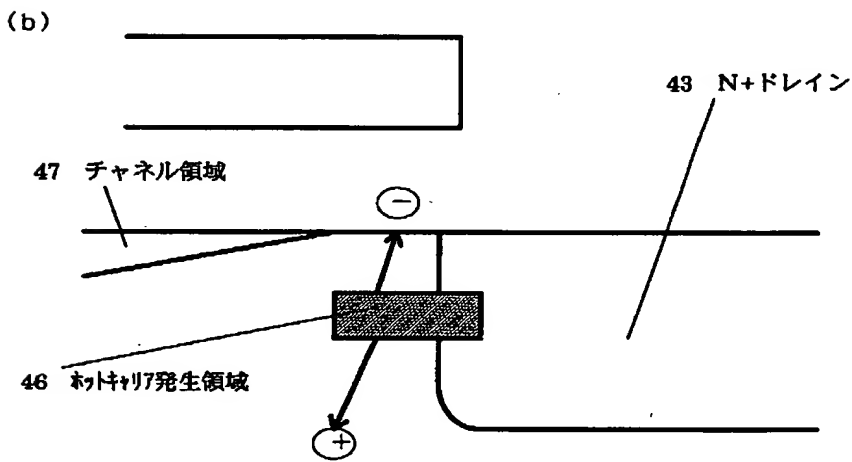
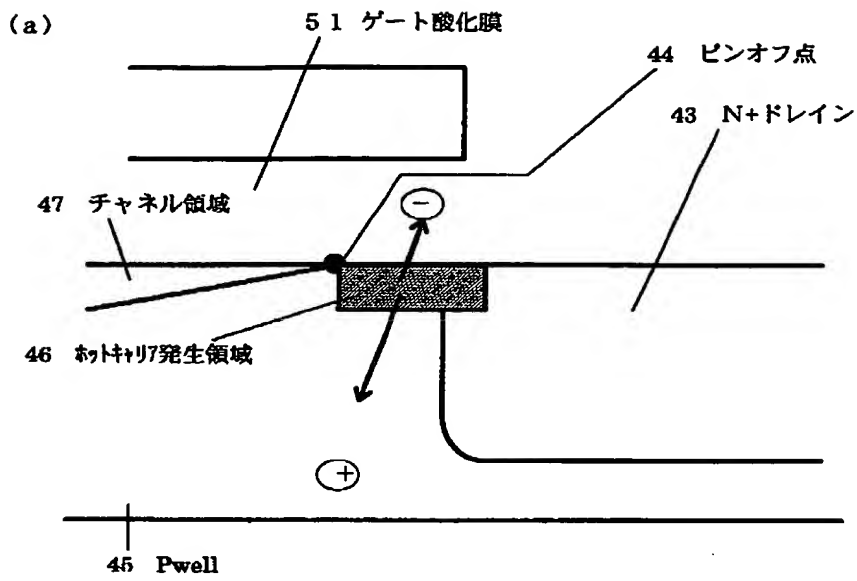
【図 7】



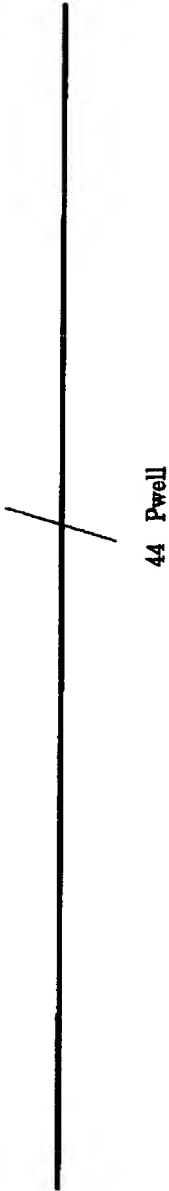
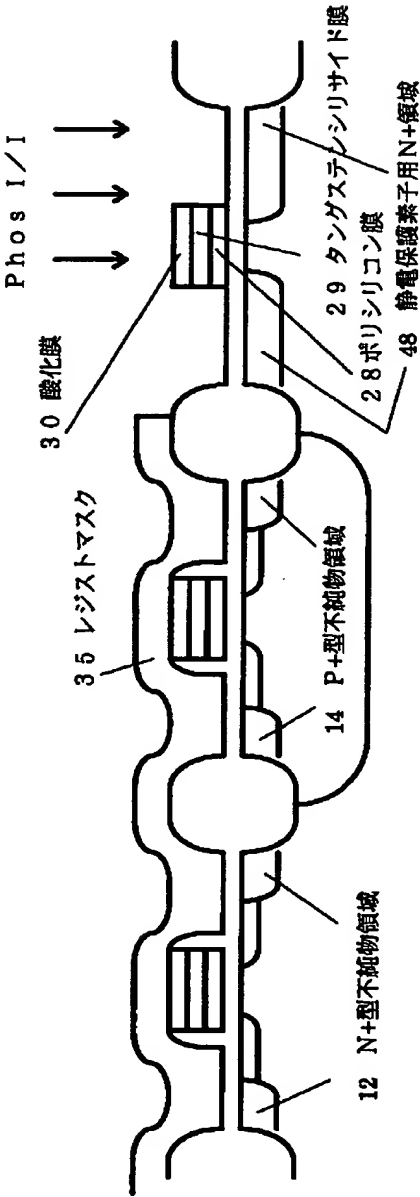
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 駆動能力の向上と小型化可能なMOSFETの提供。

【解決手段】 P型MOSFETがN型MOSFETに比べて比較的多く使用される半導体集積回路装置において、チャネル長の短チャネル化が容易となるようP型MOSFETを表面チャネル型のMOSFETで構成し、その駆動能力の向上と小型化を促進させたものである。さらに、短チャネル化に不向きな埋め込みチャネルをN型MOSFETに適用し従来の埋め込みチャネルP型MOSFETとのパフォーマンスの比較においては、従来より著しく向上しさせたものである。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2000-331080
受付番号	50001403599
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 12 年 11 月 2 日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000002325

【住所又は居所】

千葉県千葉市美浜区中瀬 1 丁目 8 番地

【氏名又は名称】

セイコーインスツルメンツ株式会社

【代理人】

申請人

【識別番号】

100096286

【住所又は居所】

千葉県松戸市千駄堀 1 4 9 3 - 7 林特許事務所

【氏名又は名称】

林 敬之助

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社